

Docket No.: H6808.0043/P043
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kozo Sakamoto et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR DEVICE

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

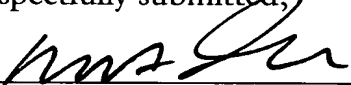
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-050229	February 27, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 20, 2004

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

(Translation)

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application: February 27, 2003
Application Number: Japanese Patent Application
No. 2003-050229
Applicant(s): Renesas Technology Corp.

February 9, 2004

Commissioner,
Japan Patent Office Yasuo Imai (seal)

Certificate No. 2004-3007861

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 7 日
Date of Application:

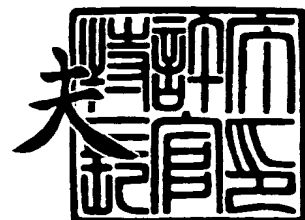
出 願 番 号 特 願 2 0 0 3 - 0 5 0 2 2 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 0 2 2 9]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 4 年 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 1102007031

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

 【氏名】 坂本 光造

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

 【氏名】 岩崎 貴之

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

 【氏名】 白石 正樹

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体チップ内に形成された第 1 主電極と第 2 主電極と制御電極とを有する電力半導体装置において、

前記半導体チップに、複数の制御電極用パッドを設け、

該複数の制御電極用パッドを前記電力半導体装置のゲート領域周辺内に配置し、前記複数の制御電極用パッドと、半導体チップ外に配置した電極層とを導電性接着部材で接続したことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記電力半導体装置の前記複数の制御電極用パッドのうち最も離れて配置されている制御電極用パッドの間に、前記電力半導体装置のアクティブ領域が形成してあることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、前記複数の制御電極用パッドのうち最も離れて配置されている制御電極用パッドの中心間隔が、1.5 mm 以上であることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、前記半導体チップが第 1 の主表面と第 2 の主表面とを有し、前記制御電極用パッドが第 1 の主表面に配置され、前記第 2 主電極が第 2 の主表面に形成してあることを特徴とする半導体装置。

【請求項 5】

半導体チップ内に第 1 主電極である第 1 半導体領域と、第 2 主電極である第 2 半導体領域と、制御電極である制御電極領域とを備えた電力半導体装置において、

該電力半導体装置に前記第 1 半導体領域と前記第 2 半導体領域と前記制御電極領域とからなる単位パターンを繰り返す平面パターンが形成されていて、該繰り返す平面パターン中の前記第 1 半導体領域が第 1 主電極用パッドに接続し、前記

制御電極領域が複数の制御電極用パッドに接続し、前記第 2 半導体領域が第 2 主電極用パッドに接続し、前記第 1 主電極用パッドと前記半導体チップ外に配置した金属電極層とが導電性接着部材でコンタクトが取られ、前記第 2 主電極用パッドと前記金属電極層とが導電性接着部材で接続してあることを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、前記制御電極領域を前記半導体チップ外に配置した制御領域用金属層に第 1 制御領域用導電性接着部材で接続し、さらに制御電極配線に接続するアクティブ領域上を延長させて、前記第 1 制御領域用導電性接着部材から離間された第 2 制御領域用導電性接着部材に接続したことを特徴とする半導体装置。

【請求項 7】

請求項 5 に記載の半導体装置において、前記半導体チップがシリコン半導体チップであることを特徴とする半導体装置。

【請求項 8】

請求項 5 に記載の半導体装置において、前記半導体装置が第 1 主電極がソース電極であり、第 2 主電極がドレイン電極であり、制御電極がゲート電極であるパワー MOSFET であることを特徴とする半導体装置。

【請求項 9】

半導体チップ内に電力用半導体装置を形成し、該電力用半導体装置に外部電極用の第 1 の制御電極用パッドと、該第 1 の制御電極用パッドと離間して設けた第 2 の制御電極用パッドと、前記第 1 の制御電極用パッドと前記パワートランジスタのソースとの間に配置した前記パワートランジスタのゲート制御回路とを配置し、前記第 2 の制御電極用パッドを前記パワートランジスタのゲートと接続し、前記第 1 の制御電極用パッドと前記第 2 の制御電極用パッドとを導電性接着部材を介して接続したことを特徴とする半導体装置。

【請求項 10】

請求項 9 に記載のパワートランジスタにおいて、前記パワートランジスタが、外部制御電極用パッドを備え、該外部制御電極用パッドと前記第 1 の制御電極用

パッドとの間に、前記パワートランジスタの制御回路を設け、前記第1の制御電極用パッドと前記第2の制御電極用パッドは導電性接着部材を介して接続したことを特徴とするパワートランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電力用半導体装置ならびにこれを用いた回路システムに関する。

【0002】

【従来の技術】

下記特許文献1には半導体装置のオン抵抗低減のため多層配線基板と集積回路チップを bumps で接続したフリップチップ形パッケージを用いたスイッチングレギュレータが開示されている。

【0003】

【特許文献1】

米国特許第6278264号

【0004】

【発明が解決しようとする課題】

上記特許文献1では、ゲートインピーダンスを低減し、ゲート抵抗に由来する遅延によって発生するパワーMOSFETのスイッチング損失成分の低減する検討がなされていない。

【0005】

また、上記特許文献1では、パワーMOSFET領域全体に張り巡らされているゲート層の抵抗の低減に関しては配慮がなされていない。なお、パワーMOSFETのソース電極に使用するアルミニウム層を用いたゲートフィンガによってゲート抵抗は低減できるものの、例えばアルミニウムの厚さを $5\mu\text{m}$ と厚くしても、アルミニウムのシート抵抗は $20\text{m}\Omega/\square$ 程度であるために、幅 $10\mu\text{m}$ でも 1mm 延ばすとアルミニウム配線抵抗は 2Ω と大きくなる。このためゲート抵抗を 0.5Ω 以下にしようとするすると遠く離れたゲートパッドまでゲートフィンガを延ばす場合にはアルミニウムの厚さを数百 μm 以上の厚さにしない限り、従来のゲ

ートフィンガを使用する方法に依存するだけでは 0.5Ω 以下のゲート抵抗を得ることは容易ではない。一方、金属ゲート電極を利用する方法はゲート酸化膜の信頼度確保が難しい。また、多結晶シリコンゲート電極をシリサイド化する方法ではシート抵抗は数 Ω/\square 程度であり、大幅なゲート抵抗の低減は期待できない。

【0006】

本発明の目的は、電力用半導体装置のゲート抵抗を低減し、パワーMOSFETのゲートの信頼性歩留まり向上することである。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、半導体チップ内に形成された電力半導体装置の制御電極として働く2個以上の制御電極用パッドを備え、前記2個以上の制御電極パッドを、前記電力半導体装置のゲート抵抗が低くなるようにゲート領域周辺内に分散して配置し、前記2個以上の制御電極パッドと半導体チップ外に配置した電極層をバンプや導電性接着材で接続した。

【0008】

【発明の実施の形態】

以下、本発明に係る半導体装置について図面を参照しながら詳細に説明する。

【0009】

<実施例1>

図1は本実施例の電力用半導体装置の断面説明図である。図1で符号5は半導体チップを、6は多層配線基板を、7はプリント回路配線基板を、8はパッケージを示し、符号37は半導体チップに形成した配線、38は多層配線基板中の電極層、39はプリント回路配線基板の電極層である。なお、図1には、パワーMOSFETを等価回路で記載してある。図1の半導体チップ5には占有面積が 2mm^2 以上のパワーMOSFETセルが形成されていて、このパワーMOSFETセルの繰り返しパターンによって、nチャネルパワーMOSFET27や、パワーMOSFET28が形成されている。

【0010】

本実施例では、パワーMOSFETのドレイン、ゲート、ソースを、それぞれドレイン用バンプ46、ゲート用バンプ45、ソース用バンプ44を介して多層配線基板6の電極層38に接続している。なお、占有面積が広いパワーMOSFETのゲート抵抗を低減するために、単に半導体チップ5に堆積して形成するゲート電極層や金属配線層等を厚く堆積するだけでは抵抗の低減が難しい。これに対し、本実施例では、1つのパワーMOSFETにゲート用バンプ45を2個以上形成し、さらに半導体チップ5と、多層配線基板6とは同じパッケージ8に封じられ、多層配線基板6中の電極層38によって、ゲート配線の抵抗を低くしてある。

【0011】

本実施例の半導体装置では、バンプ配列を設けたBGA(Ball Grid Array)型のパッケージ8になっていて、このパッケージ8がプリント回路配線基板7の中の電極層39に接続している。本願発明で述べているバンプとは、ボンディングワイヤではない、半田や金のように導電性と接着性がある接続材料の一例であって、その形状は図1に限られない。

【0012】

本実施例では、パワーMOSFETのゲート領域周辺内2箇所以上の離間した部位にゲートパッドを設け、このゲートパッド上にゲート用バンプ45を介して半導体チップ5の外に設けた $50\mu\text{m}$ 以上の厚さの電極層38を接続し、さらに電極層38とプリント回路配線基板7とをバンプを介して接続した。これによって、本実施例の半導体装置であるBGA型パワーICやパワーMOSFETでは、ゲートのインピーダンスを格段に低くできる。

【0013】

図2は実施例のパワーMOSFETを用いたスイッチング電源回路図である。図2において、符号21~23はpチャネルパワーMOSFET、24~26はnチャネルパワーMOSFETである。符号1はpチャネルパワーMOSFET 21~23とnチャネルパワーMOSFET 24~26とをPWM制御する制御回路部で、制御回路部1の中にはプリドライバ71~76が形成されている。図2中、符号11は入力電圧端子、12は出力電圧端子、13はグランド端子、1

4 は中間出力端子、15 は入力信号端子、2 はインダクタ、3 はキャパシタ、4 は負荷を示し、インダクタ 2 とキャパシタ 3 とでスイッチング電源のフィルタを構成している。本実施例では、プリドライバ 71～76 の各々の出力端子と、MOSFET のゲート端子には電極パッド 61a～66b を設け、各々の電極パッドの上にバンプを設けて半導体チップ 5 の外部にある多層配線基板 6 中のゲート配線 31～36 に接続してある。なお、本実施例では半導体チップ 5 として、シリコン半導体チップを用いた。

【0014】

図 3 に本実施例の半導体チップ 5 の平面図を示す。図 3 の左側には大、中、小の面積を有する p チャネルパワー MOSFET 21, 22, 23 を配置し、図 3 の右側には大、中、小の面積を有する n チャネルパワー MOSFET 24, 25, 26 を、また図 3 の下側には制御回路部 1 を配置してある。図 3 で符号 81, 82, 83 は、p チャネルパワー MOSFET 21, 22, 23 のソース用の電極パッドであり、符号 61a, 62a, 63a は、ゲート用の電極パッド、符号 91, 92, 93 はドレイン用の電極パッド、符号 84, 85, 86 は n チャネルパワー MOSFET のソース用の電極パッド、符号 64a, 65a, 66a はゲート用の電極パッド、符号 94, 95, 96 はドレイン用の電極パッドである。また、符号 61b～66b は制御回路 1 側に設けたゲート用の、電極パッド、符号 15a は入力信号端子 15 用の電極パッドであって、これらは図 2 の各符号に対応する。

【0015】

図 4 に、図 1 の多層配線基板 6 中、最も半導体チップ 5 に近い位置の電極層 38 である第 1 の電極層の平面パターンを示す。このパターンには電源用電極層 51, 中間出力用電極層 52, グランド電極層 53 が配置してある。p チャネルパワー MOSFET 21, 22, 23 のソース用の電極パッド 81, 82, 83 は電源用電極層 51 に接続し、p チャネルパワー MOSFET 21, 22, 23 のドレイン用の電極パッド 91, 92, 93 と n チャネルパワー MOSFET 24, 25, 26 のドレイン用の電極パッド 94, 95, 96 とは中間出力用電極層 52 に接続している。上記電極パッドと電極層とはそれぞれ図 1 に示したソース

用バンプ44, ゲート用バンプ45, ドレイン用バンプ46を介して接続している。

【0016】

図5は図4に示した第1の電極層上に絶縁層を挟んで配置した第2の電極層の平面パターンである。第2の電極層パターンにはゲート配線31～36と電極層54～56とを配置してある。pチャネルパワーMOSFET21, 22, 23のゲート電極はゲート配線31, 32, 33で制御回路部1のゲート用の電極パッド61b, 62b, 63bに接続し、nチャネルパワーMOSFET24, 25, 26のゲート電極はゲート配線34, 35, 36で制御回路部1のゲート用の電極パッド64b, 65b, 66bに接続している。また、電極層51と電極層54, 中間出力用の電極層52と電極層55, グランド用の電極層53と電極層56も電氣的に接続している。

【0017】

図6は図1に示したBGA型集積回路のパッケージ8と入力電圧端子用バンプ11a, 中間出力端子用バンプ14a, グランド端子用バンプ13a, 電極パッド15aの配置を示す平面図である。

【0018】

本実施例の場合、厚さ50 μ m以上のゲート配線31～36用の電極層を容易に形成できるので、ゲート配線用電極層のシート抵抗を2m Ω /□以下にできる。従って、幅200 μ mの電極配線を使用し、配線を1mm延長しても配線抵抗の増加は5m Ω 以下であるので、半導体チップに形成した電極層に比べ格段に配線抵抗を低減できる。このため、パワーMOSFETの内部ゲート抵抗やパワーMOSFETとその制御回路との間のゲート抵抗に由来する遅延によるパワーMOSFETのスイッチング損失成分を低減できる。

【0019】

すなわち、図1, 図3に示すように本実施例の半導体装置では、半導体チップ5に形成したパワーMOSFETのドレイン, ゲート, ソースが、各々2個以上のドレイン用バンプ46 (ドレイン用の電極パッド91, 92, 93, 94, 95, 96上に配置), ソース用バンプ44 (ソース用の電極パッド81, 82,

83, 84, 85, 86上に配置), ゲート用バンブ45 (ゲート用の電極パッド61a, 62a, 63a, 64a, 65a, 66a上に配置) を介して多層配線基板6に接続している。このため、MOSFET全体に張り巡らされたゲート層の抵抗を格段に低減できる。

【0020】

さらに本実施例の半導体装置では、パワーMOSFETのゲート端子から制御回路部1までのインピーダンスを低減するために、パワーMOSFET側のゲート用の電極パッド61a~66aと制御回路部1側のゲート用の電極パッド61b~66bとを、半導体チップ5外部の多層配線基板6内に形成した電極層38を経由して低いインピーダンスで接続している。このため、3MHz以上の高い周波数でパワーMOSFETを駆動する場合でも、ゲート駆動信号を低い雑音レベルで高速に伝達できるために、パワーMOSFETの誤動作やスイッチング損失の増加を防止できる。さらに、本実施例の半導体装置を用いた図2に示すスイッチング電源回路の電源効率を高くできる。

【0021】

本実施例ではpチャネルパワーMOSFETとnチャネルパワーMOSFETが共にオン抵抗が小, 中, 大の3つのMOSFETを並列に接続し、負荷4に大電流を供給する場合は全てのMOSFETを駆動し、負荷がスタンバイ状態のように軽い場合には、図2, 図3に示す最小サイズのpチャネルパワーMOSFET23とnチャネルパワーMOSFET26だけを駆動し、他の素子は遮断状態にする。このように、必要な負過電流に応じて動作するパワーMOSFETの数を増減して、広い電流範囲で高い電源効率を得ている。このように必要な負過電流に応じて動作するパワーMOSFETの数を変える回路ではゲート配線が長くなるが、本実施例に示す半導体装置を用いることによって、ゲートインピーダンスの影響を最小限に抑えた損失が少なく、高い効率の電源装置を実現できる。

【0022】

<実施例2>

図7は本実施例の電力用半導体装置の断面説明図である。本実施例は半導体チップ5の裏面のドレイン電極9をプリント回路配線基板7にドレイン用バンブ4

6を介して接続する単体の縦型パワーMOSFETである。なお、本実施例では多層配線基板6を使用せずに直接プリント回路配線基板7の電極層39に配線することが実施例1と異なる。また、本実施例ではパッケージ8の一部に設けたドレイン電極9をドレイン用バンパ46との配線を兼ねて設けている。

【0023】

本実施例でも2個以上のゲート電極上に形成したゲート用バンパ45と半導体チップ5の外部にあるプリント回路配線基板7の電極層39とによってゲート配線が低い抵抗で接続されているので、MOSFET全体に張り巡らされたゲート層の抵抗を格段に低減できる。このため、1MHz以上の高い周波数でパワーMOSFETを駆動してもゲート駆動信号を低い雑音レベルで高速に伝達できるので、誤動作やスイッチング損失の低下を防止できる。さらに、実施例1と同様に本実施例のMOSFETを用いるとスイッチング電源回路の電源効率を高くできる。

【0024】

図8に本実施例の半導体チップ5の平面図を示す。本実施例ではゲート用バンパ45を配置するゲート用の電極パッド445を2個以上設けてあるが、本実施例ではさらに、ゲート抵抗低減のためゲートフィンガ440もソース用の電極パッド444を包含するようにしてゲート領域全体に張り巡らしてある。このため、本実施例ではシリサイド化や高融点金属ゲートを適用しなくても 0.5Ω 以下の低いゲート抵抗が容易に達成できる。なお、本図ではソース用の電極パッドの周り上下左右を完全に囲んだ場合を示しているが、3方向を囲むだけでも効果がある。

【0025】

図9はプリント回路配線基板7と半導体チップ5との結線を示す平面図である。プリント回路配線基板7に形成されている電極層110, 111, 112とパワーMOSFETのドレイン、ゲート、ソースとはドレイン用の電極パッド446上のドレイン用バンパ46, ゲート用の電極パッド442上のゲート用バンパ45, ソース用の電極パッド444上のソース用パッド44とにより配線されている。パワーMOSFETのゲート抵抗はゲート用の電極層112によって低い

インピーダンスにできる。図9に示したゲート用の電極層112とドレイン用の電極層111は別の層に分離配置してある。

【0026】

<実施例3>

図10は本実施例の電力用半導体装置の平面図である。本実施例では電極層102を結線後に接続されるゲートパッド42aと42bを離間して形成しておき、ゲートパッド42aはパワーMOSFET28のシリコンチップ内の配線でゲート層と接続しておき、ゲートパッド42bはパワーMOSFET28の制御回路部100と接続しておく。

【0027】

本実施例では外部ゲート端子のゲートパッド42がある場合を示してあるが制御回路部100の回路構成によっては、ゲートパッド42とゲートパッド42bは共通にすることもできる。本実施例ではまず、電極層102aによるゲートパッド42a、42bの結線をする前にゲートパッド42aを使用してパワーMOSFET28のゲート耐圧評価を行いスクリーニングできる。パワーMOSFET28のゲート耐圧特性などの検査をした後、電極層101、102、102aが配置されたプリント回路配線基板7を配置し、ゲートパッド42、42a、42b上に形成するバンプと電極層102a、102により電極層102に印加される信号がパワーMOSFET28のゲートに伝送されるようになる。

【0028】

このため、従来技術では制御回路部100が配置されているためにできなかったゲート耐圧のスクリーニングが可能になる。また、ゲートパッド42aと42bとをバンプを使用して結線するので、ボンディングワイヤを用いてゲートパッド42aと42bを接続する方法に比べゲートパッドの配置場所に関する制限が少なくなる。

【0029】

なお、本実施例では半導体チップの裏面がパワーMOSFETのドレインとなる半導体装置で説明したが、ドレインパッドも半導体チップの表面に設けたパワーMOSFETを有する集積回路装置の場合にも効果があることは言うまでもな

い。

【0030】

以上、本発明を実施形態に基づき具体的に説明したが本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記説明では、半導体チップとチップ外部の配線を接続手段として、従来のボンディングワイヤのようにインダクタンスが大きく、また配線が複雑になることを避けるためにバンプを用いて説明したが、バンプと同じ効果がある手段、例えば導電性の接着材を用いても良い。

【0031】

また、トランジスタはパワーMOSFETに限定されるものではなく、接合型電界効果トランジスタやSITやMESFETであってもよい。また、以上の説明は主としてDC/DC電力変換器に適用した場合を説明したが、それに限定されることなく、携帯電話用パワーアンプ等のように他の電力回路にも適用できる。

【0032】

【発明の効果】

以上説明したように、本発明によれば、低容量かつ低オン抵抗でさらに寄生インダクタンスが低いパワーMOSFETを容易に実現でき、これを用いた電源装置の効率が向上する。

【図面の簡単な説明】

【図1】

実施例1の半導体装置の断面説明図である。

【図2】

実施例1の半導体装置を用いたスイッチング電源の回路図である。

【図3】

実施例1の電力用半導体装置の平面図である。

【図4】

実施例1の電力用半導体装置の多層配線基板の電極層の平面図である。

【図5】

実施例 1 の電力用半導体装置の多層配線基板の電極層の平面図である。

【図 6】

実施例 1 の電力用半導体装置バンプの配置を説明する平面図である。

【図 7】

実施例 2 の電力用半導体装置の断面説明図である。

【図 8】

実施例 2 の半導体チップの平面図である。

【図 9】

実施例 2 の半導体チップとプリント配線回路基板との結線を説明する平面図である。

【図 10】

実施例 3 の電力用半導体装置の平面図である。

【図 11】

実施例 3 の電力用半導体装置のブロック回路図である。

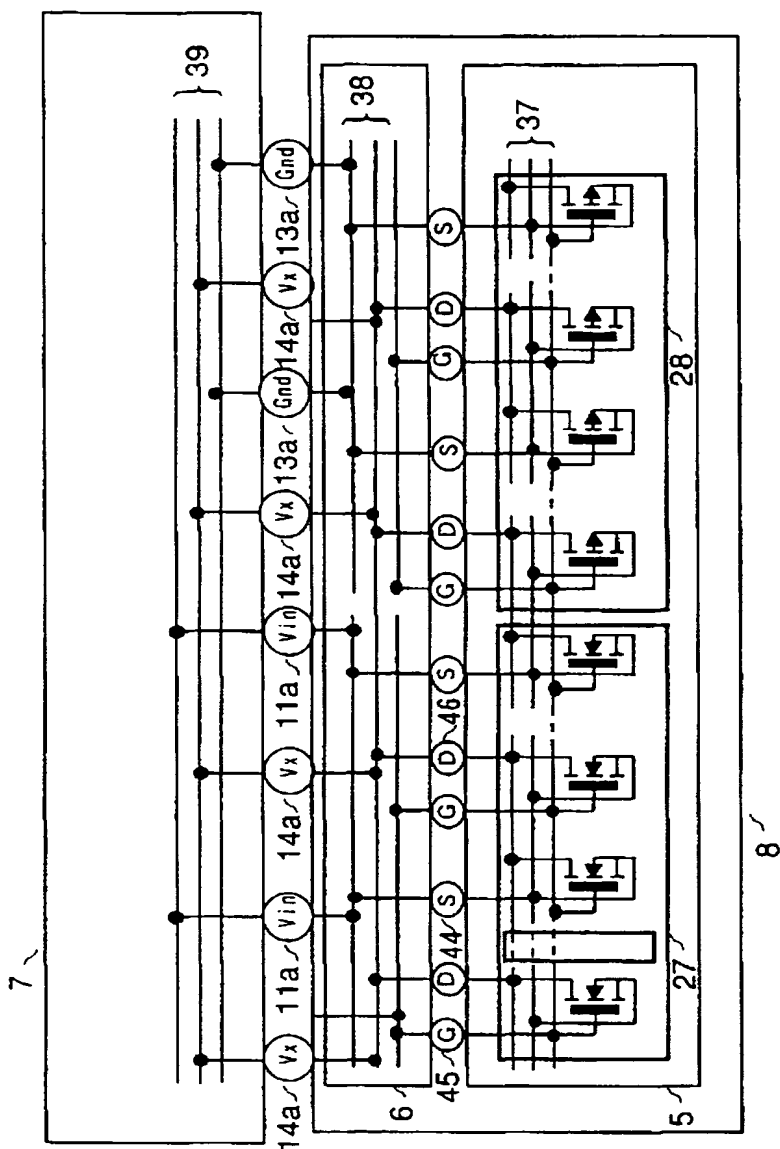
【符号の説明】

1…制御回路部、2…インダクタ、3…キャパシタ、4…負荷、5…半導体チップ、6…多層配線基板、7…プリント回路配線基板、8…パッケージ、11…入力電圧端子、11a…入力電圧端子用バンプ、12…出力電圧端子、13…グランド端子、13a…グランド端子用バンプ、14…中間出力端子、14a…中間出力端子用バンプ、15…入力信号端子、15a…電極パッド、21～23…pチャネルパワーMOSFET、24～26、27…nチャネルパワーMOSFET、28…パワーMOSFET、31～36…ゲート配線、38、39、54、55、56、110～112…電極層、41…ドレイン電極、42…ゲートパッド、43、44…ソース用バンプ、45…ゲート用バンプ、46…ドレイン用バンプ、51…電源用電極層、52…中間出力用電極層、53…グランド電極層、61a～66b、81～86、91～96…電極パッド、71～76…プリドライバ。

【書類名】 図面

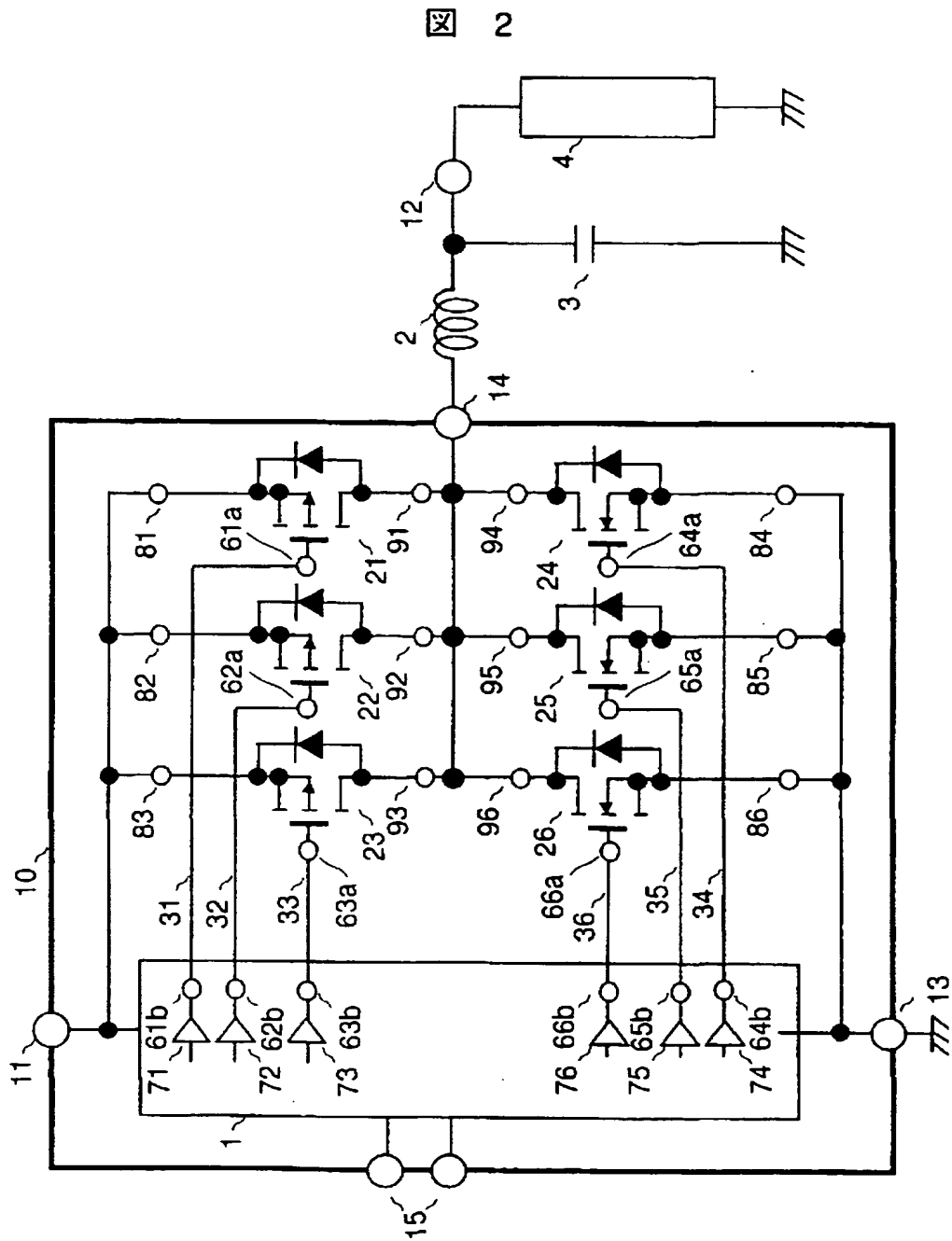
【図 1】

図 1



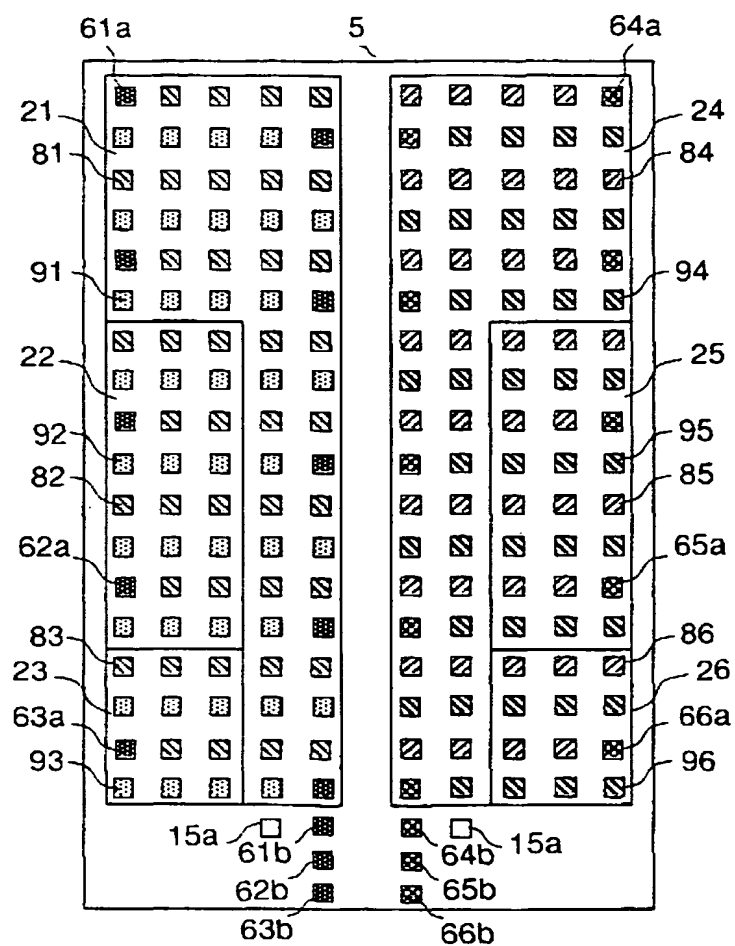
8

【図 2】

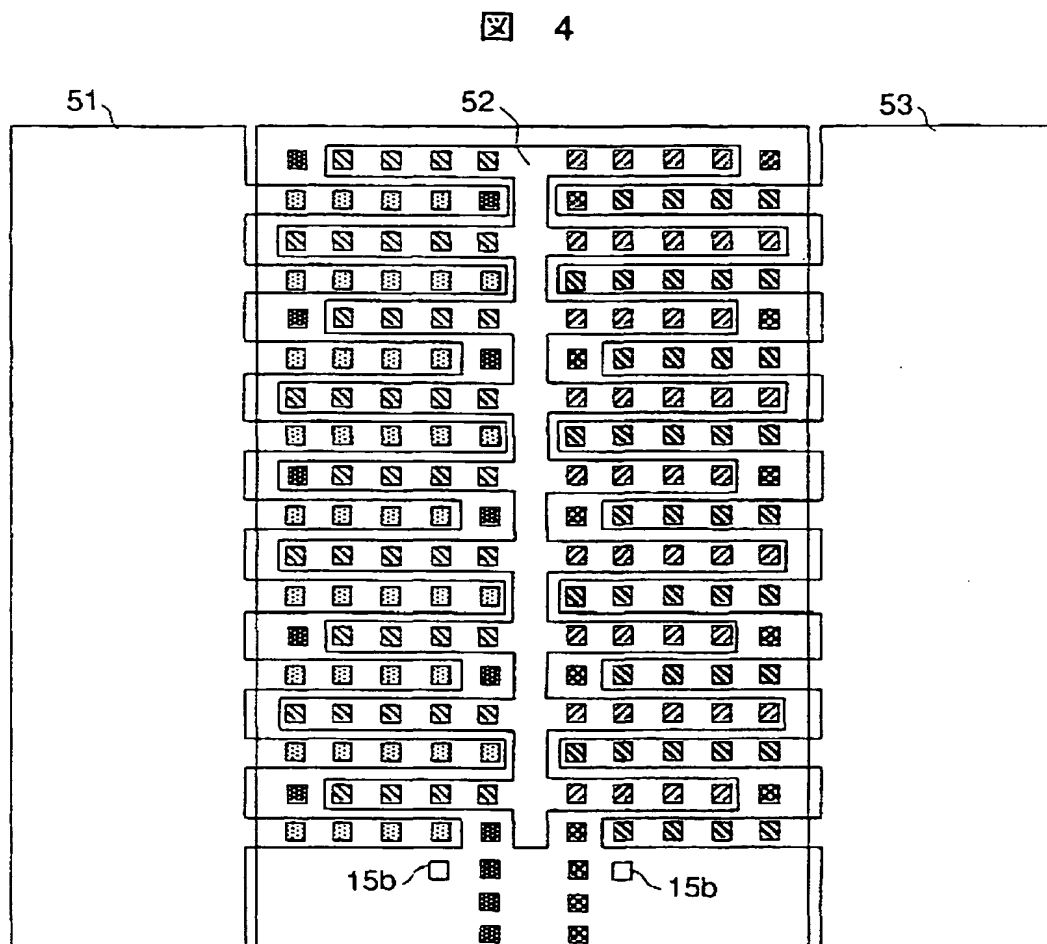


【図 3】

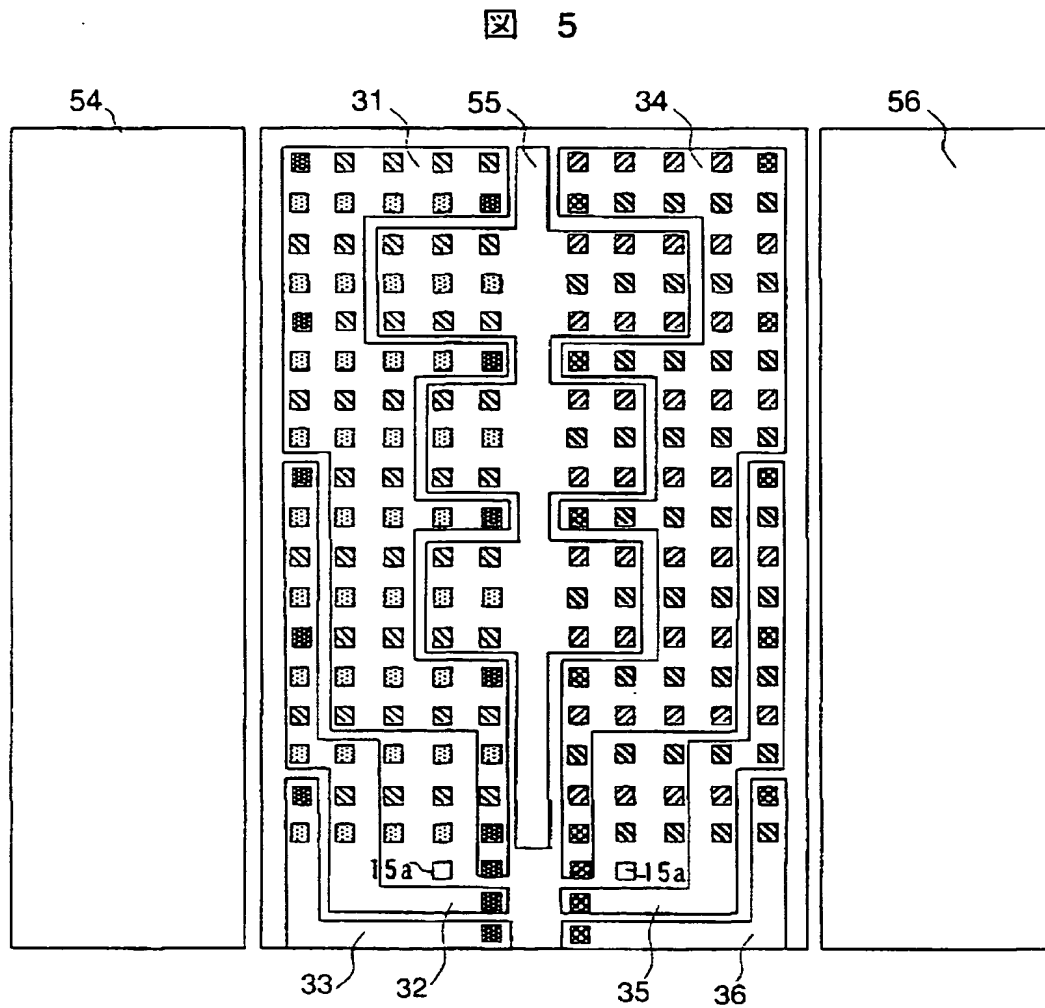
図 3



【図 4】

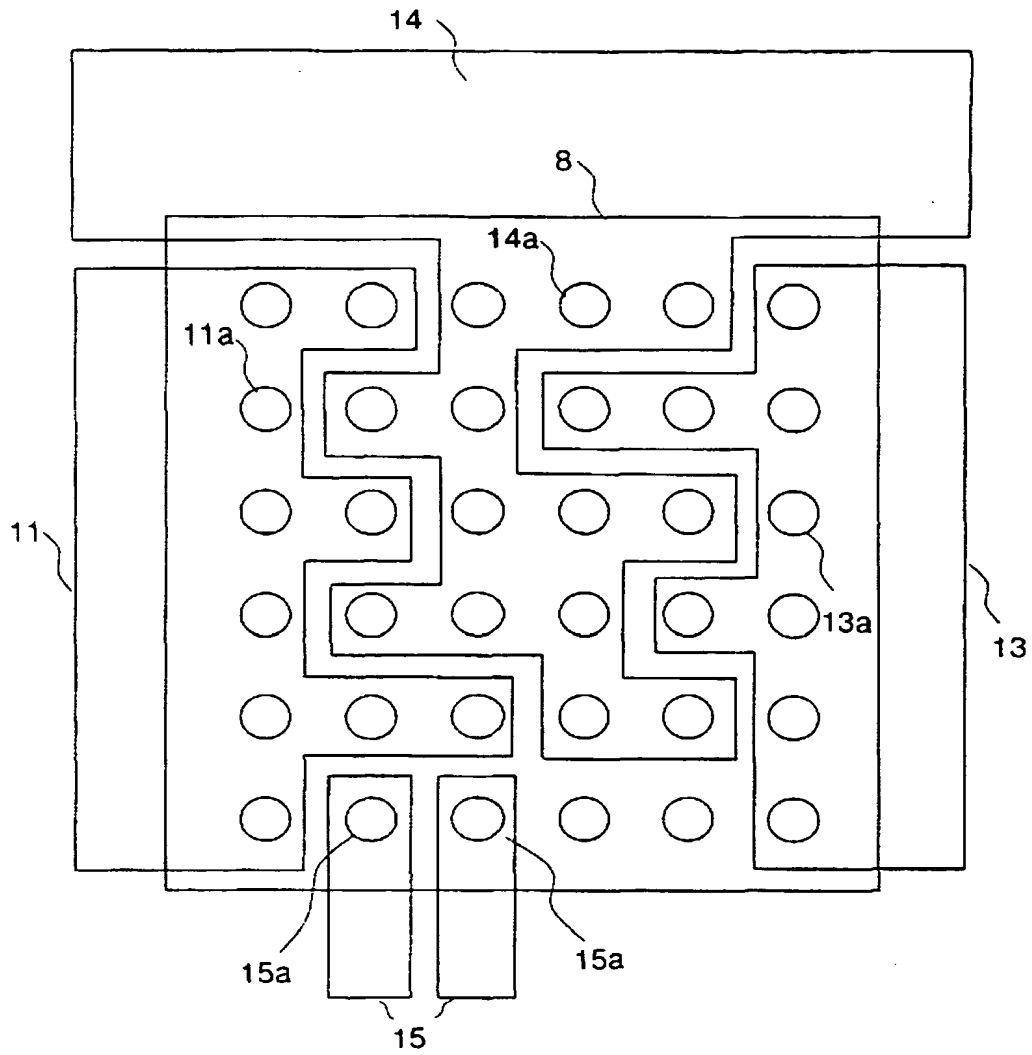


【図 5】

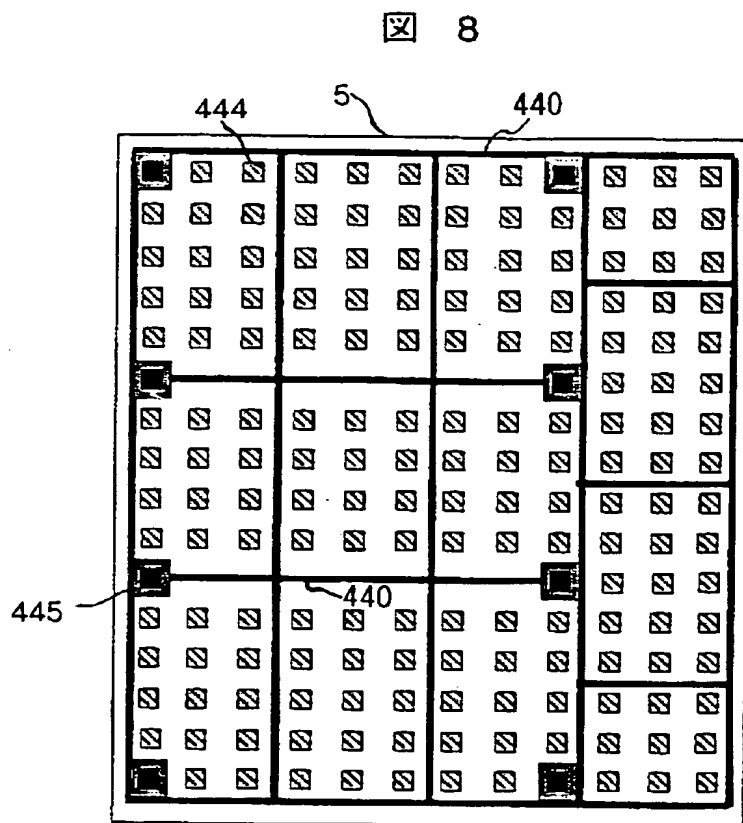


【図 6】

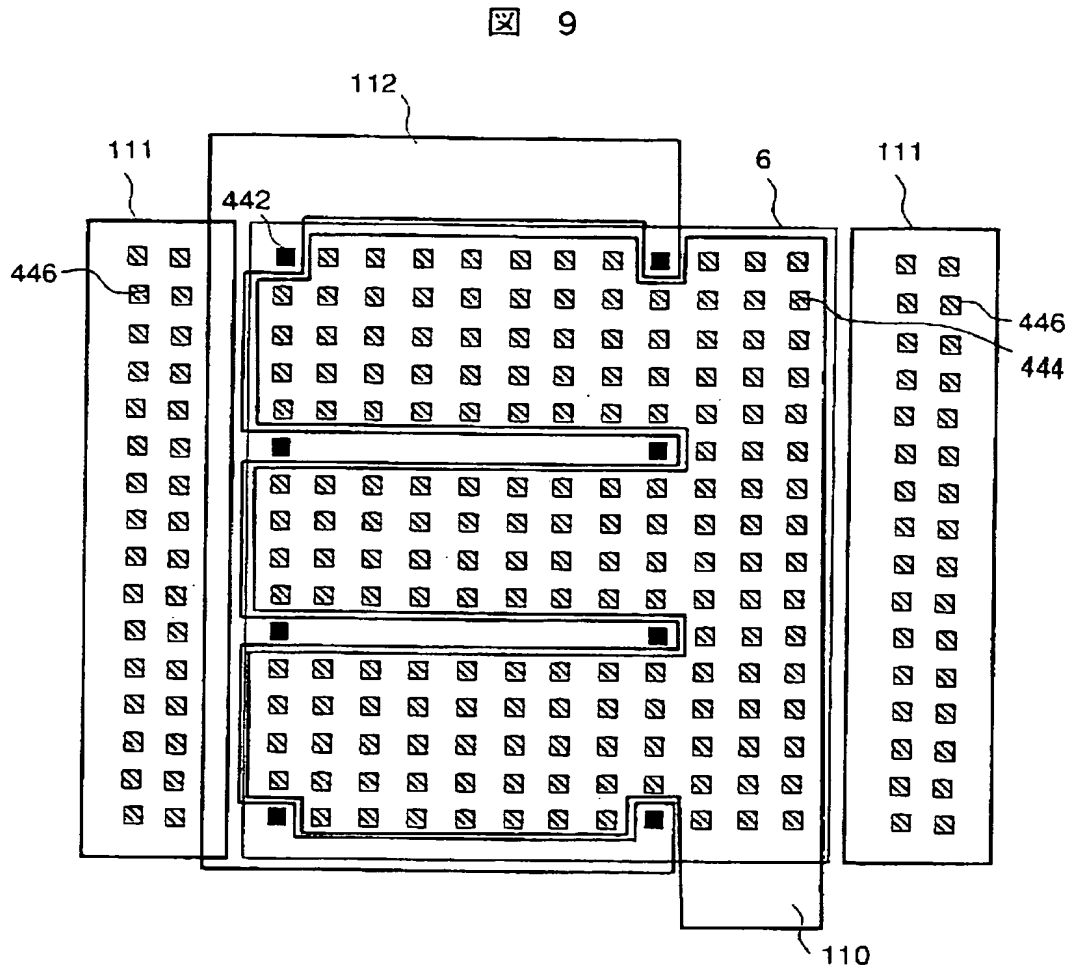
図 6



【図 8】

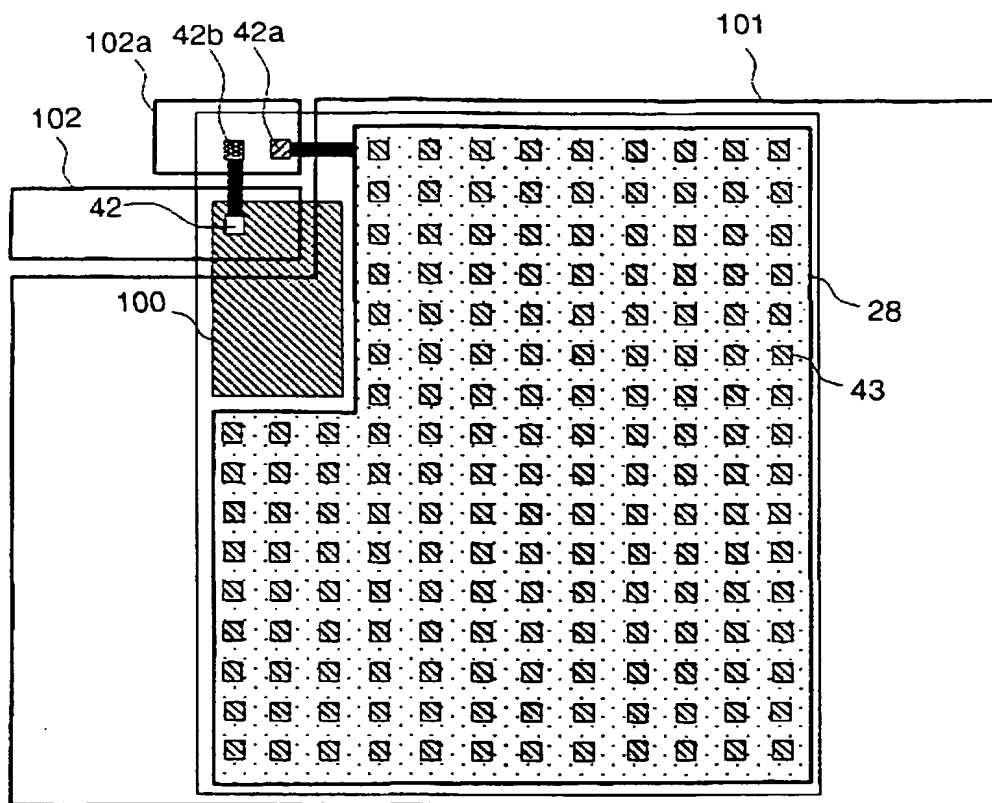


【図 9】



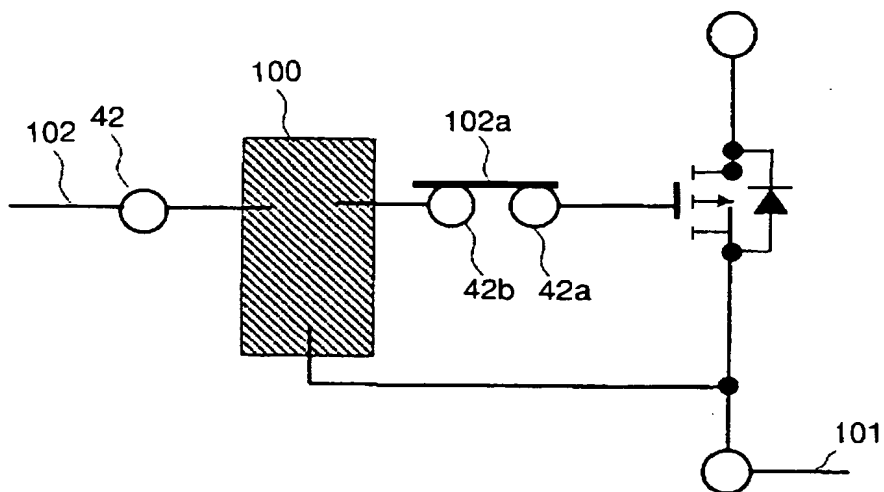
【図 10】

図 10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】

パワーMOSFETのゲート抵抗を低減し、パワーMOSFETのゲートの信頼性歩留まり向上する。

【解決手段】

本発明の半導体装置は、半導体チップ内に形成された電力半導体装置の制御電極として働く2個以上の制御電極用パッドを備え、前記2個以上の制御電極パッドを、前記電力半導体装置のゲート抵抗が低くなるように電力半導体装置のゲート領域周辺内に分散して配置し、前記2個以上の制御電極パッドと半導体チップ外に配置した多層配線基板の電極層とを bumps や導電性接着材で接続した。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 0 2 2 9
受付番号	5 0 3 0 0 3 1 3 9 0 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 8 日

<認定情報・付加情報>

【提出日】	平成15年 2月27日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 50229

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 1 - 2 5 1 8 8 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 0 2 2 9
受付番号	5 0 3 0 1 4 0 2 1 3 2
書類名	出願人名義変更届（一般承継）
担当官	笹川 友子 9 4 8 2
作成日	平成 1 5 年 1 1 月 6 日

< 認定情報・付加情報 >

【提出日】 平成15年 8月26日

特願 2 0 0 3 - 0 5 0 2 2 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所

特願 2 0 0 3 - 0 5 0 2 ' 2 9

出 願 人 履 歴 情 報

識別番号 [5 0 3 1 2 1 1 0 3]

1. 変更年月日 2 0 0 3 年 4 月 1 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目 4 番 1 号

氏 名 株式会社ルネサステクノロジ